

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- BLURRY OR ILLEGIBLE TEXT
- SKEWED/SLATED IMAGES
- COLORED PHOTOS
- BLACK OR VERY DARK BLACK AND WHITE PHOTOS
- UNDECIPHERABLE GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

*As rescanning documents **will not** correct images,  
please do not report the images to the  
Image Problem Mailbox.*

CLIPPEDIMAGE= JP407226507A  
PAT-NO: JP407226507A  
DOCUMENT-IDENTIFIER: JP 07226507 A  
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

08/903486

PUBN-DATE: August 22, 1995

INVENTOR-INFORMATION:  
NAME  
NAKAISHI, MASAFUMI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
FUJITSU LTD N/A

APPL-NO: JP06015638  
APPL-DATE: February 10, 1994

INT-CL\_(IPC): H01L029/78; H01L029/43

ABSTRACT:

PURPOSE: To improve the operating speed of a semiconductor device of a MIS structure and to improve the evenness of the characteristics of the device.

CONSTITUTION: A method of manufacturing a semiconductor device of a MIS structure has a process wherein a gate electrode 5G is formed into a structure consisting of an  $\alpha$ -Ta film 5 $\alpha$ , the gate electrode is formed into a structure consisting of a laminated film of a TiN film and an  $\alpha$ -Ta film, a gate insulating film consists of a poly-crystalline SiC film and the gate electrode is formed into a structure consisting of an  $\alpha$ -Ta film, a region only, which consists of a  $\beta$ -Ta film formed by sputtering, of the gate electrode is selectively formed into an  $\alpha$ -Ta film and an  $\alpha$ -Ta gate electrode is patterned from the above  $\alpha$ -Ta film using a etching selectively between the  $\alpha$ -Ta film and the  $\beta$ -Ta film.

COPYRIGHT: (C) 1995, JPO

no SiC gate

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開号

特開平7-226507

(43)公開日 平成7年(1995)8月22日

(51)Int.Cl.<sup>6</sup>  
H 01 L 29/78  
29/43

識別記号

府内整理番号

F I

技術表示箇所

7514-4M  
8826-4M

H 01 L 29/78  
29/62

301 G  
G

審査請求 未請求 請求項の数 8 O.L (全 8 頁)

(21)出願番号

特願平6-15638

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(22)出願日 平成6年(1994)2月10日

(72)発明者 中石 雅文

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

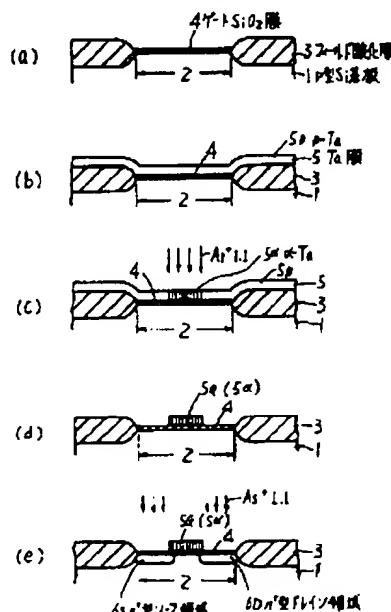
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 M I S構造の半導体装置及びその製造方法に  
関し、動作速度の向上及び特性の均一性を向上する。

【構成】 M I S構造の半導体装置において、ゲート電  
極5Gが $\alpha$ -Ta膜5 $\alpha$ よりなる構造、ゲート電極がTIN  
と $\alpha$ -Taの積層膜よりなる構造、ゲート絶縁膜が多結  
晶SiCよりなりゲート電極が $\alpha$ -Ta膜よりなる構造、  
及びスパッタ形成した $\beta$ -Ta膜のゲート電極領域のみ  
選択的に $\alpha$ -Taとなし、 $\alpha$ -Taと $\beta$ -Taとの選択  
エッティング性を用いて上記Ta膜から $\alpha$ -Taゲート電  
極をバーニングする工程を有する上記半導体装置の製  
造方法。

本発明の第1の実施例の工程図



## 【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介してゲート電極が配設されるM I S構造を有し、該ゲート電極が $\alpha$ -タンタル膜よりなることを特徴とする半導体装置。

【請求項2】 半導体基板上にゲート絶縁膜を介してゲート電極が配設されるM I S構造を有し、該ゲート電極がパリア膜上に $\alpha$ -タンタル膜が積層された2層構造を有することを特徴とする半導体装置。

【請求項3】 半導体基板上にゲート絶縁膜を介してゲート電極が配設されるM I S構造を有し、該ゲート絶縁膜が炭化珪素膜よりなり、且つ該ゲート電極が $\alpha$ -タンタル膜よりなることを特徴とする半導体装置。

【請求項4】 半導体基板上にゲート絶縁膜を形成する工程、該ゲート絶縁膜上に $\beta$ -タンタル膜を形成する工程、該 $\beta$ -タンタル膜のゲート電極に対応する領域に選択的に不活性物質のイオン注入を行い該領域の $\beta$ -タンタルを $\alpha$ -タンタルに変質せしめる工程、全面エッチング手段により $\beta$ -タンタル膜を選択的に除去し残留する $\alpha$ -タンタル膜によるゲート電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板上にゲート絶縁膜を形成する工程、該ゲート絶縁膜上に空化チタン膜を形成する工程、該空化チタン膜を選択的にエッチング除去して該ゲート絶縁膜上にゲート電極に対応する形状を有する空化チタン膜パターンを形成する工程、該空化チタン膜パターンを有するゲート絶縁膜上に該空化チタン膜パターン上が選択的に $\alpha$ -タンタルになりゲート絶縁膜上が $\beta$ -タンタルになるタンタル膜を形成する工程、全面エッチング手段により該タンタル膜の $\beta$ -タンタルの領域を選択的に除去し該空化チタン膜と $\alpha$ -タンタル膜が積層されたゲート電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上にゲート絶縁膜となる多結晶構造の炭化珪素膜を成長させる工程、選択的な不活性物質のイオン注入により該炭化珪素膜のゲート電極が配設される部分を除く領域の表面部を非晶質化する工程、該炭化珪素膜上に非晶質化された領域上で $\beta$ -タンタルになり多結晶構造を有するゲート配設部において $\alpha$ -タンタルになるタンタル膜を形成する工程、全面エッチング手段により該タンタル膜の $\beta$ -タンタルの領域を選択的に除去し該炭化珪素よりなるゲート絶縁膜上に $\alpha$ -タンタル膜よりなるゲート電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項7】 前記タンタル膜の成膜方法がスパッタリング法によることを特徴とする請求項4、5、または6記載の半導体装置の製造方法。

【請求項8】 前記タンタル膜の全面エッチング手段が、塩素を含むガスのプラズマを用いたドライエッチン

グ方法によることを特徴とする請求項4、5、6、または7記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法、特にM I S型半導体装置及びその製造方法に関する。

【0002】 超L S I等において集積度の増大により、回路パターンの設計ルールは微小化の一途を辿っており、超L S I等の内部に配設される電極や配線の幅は極度に微細化されている。かかる状況において微細化される電極や配線の抵抗増大による超L S Iの動作遅延が問題になっており、超L S Iを構成するM I S型半導体素子においては、微細で且つ低抵抗のゲート電極を形成する技術が強く望まれている。

## 【0003】

【従来の技術】 従来、M I S型半導体装置には多くはゲート絶縁膜が熱酸化による酸化シリコン(SiO<sub>2</sub>)膜からなるM O S型半導体装置が用いられており、且つ、該M O S型半導体装置のゲート電極を低抵抗化して動作遅延を防止するために、ポリサイド構造のゲート電極が多く用いられていた。

【0004】 図5は従来のポリサイドゲートを有するM O S型半導体装置(M O S F E T)の代表例の要部を示した模式断面図で、図中、51は例えばp型シリコン(Si)基板、52は素子領域、53はフィールド酸化膜、54はゲート酸化膜、55AはポリSi膜、55Bはタンゲステンシリサイド(WSi<sub>2</sub>)膜、55Cはタンゲステンポリサイドゲート電極、56Sはn<sup>+</sup>型ソース領域、56Dはn<sup>+</sup>型ドレイン領域を示す。

【0005】 そして、上記M O S F E Tは次に図6の工程断面図を参照して述べる方法により形成されていた。

## 図6(a) 参照

即ち、通常の選択酸化(LOCOS法と称する)手段によりSi基板51の正面に、素子領域52を画定分離するフィールド酸化膜53を形成し、次いで通常の熱酸化手段により素子領域52上に例えば厚さ10nm程度のゲート酸化膜54を形成する。

## 【0006】 図6(b) 参照

次いで上記基板上に、通常の気相成長手段により例えば厚さ100nm程度のポリSi膜55Aを形成し、このポリSi膜55Aに高濃度に例えばn型不純物を導入する。

## 【0007】 図6(c) 参照

次いで上記ポリSi膜55A上に、通常のスパッタリング手段により例えば100nm程度の厚さを有するWSi<sub>2</sub>膜55Bを堆積し、次いで所定の高温熱処理により前記WSi<sub>2</sub>膜55Bを低抵抗化する。

## 【0008】 図6(d) 参照

次いで上記WSi<sub>2</sub>膜55B上に、通常のリソグラフィ手段によりゲート電極に対応するパターン形状を有するレジ

ストパターン61を形成する。

【0009】図6(e)参照

次いで上記レジストパターン61をマスクにし、通常の塩素(Cl)系のガスによるリアクティブイオンエッティング(RIB)処理によりWSi<sub>1</sub>膜55B及びポリSi膜55Aを一括パターニングし、ポリSi膜55AとWSi<sub>1</sub>膜55Bとが積層されたタングステンポリサイドゲート電極55を形成する。

【0010】図5参照

次いで前記レジストパターン61を除去した後、前記タングステンポリサイドゲート電極55をマスクにしSi基板51の素子領域52面に、例えば砒素(As)を高濃度にイオン注入してn<sup>+</sup>型のソース領域56S及びドレイン領域56Dを形成する方法である。

【0011】

【発明が解決しようとする課題】しかし上記方法で形成される従来のMOSFETにおいては、前記タングステンポリサイド構造のゲート電極55の配線抵抗率が200μΩ・cm前後の比較的高い値を有することにより、配線幅が極度に縮小された際には前記の比較的高い抵抗率による配線抵抗の増大によって、該MOSFETを用いて構成される超LSI等の動作速度が許容範囲を越えて低下するという問題を生ずる。

【0012】また、上記製造方法において、図6(e)を参照して説明したように、ポリサイドゲートの形成に際して、下層のポリSi膜55Aと上層のWSi<sub>1</sub>膜55Bとからなる厚い積層膜が、同一マスクであるレジストパターン61に整合して一括パターニングされるため、配線幅が極度に縮小された場合、上記パターニングに際してのサイドエッティングの影響を大きく受けてパターン精度が低下し、それに伴うチャネル長や配線抵抗の変動により動作速度がばらつくという問題もあった。

【0013】そこで本発明は、配線抵抗率が低く、且つ高いパターン精度が得られるゲート電極の形成方法及び該方法により形成される微細且つ低抵抗のゲート電極を有する半導体装置を提供し、超LSI等の動作速度及びその信頼性を向上させることを目的とする。

【0014】

【課題を解決するための手段】上記課題の解決は、半導体基板上にゲート絶縁膜を介してゲート電極が配設されるMIS構造を有し、該ゲート電極がα-タンタル膜よりなる本発明による半導体装置、若しくは、半導体基板上にゲート絶縁膜を介してゲート電極が配設されるMIS構造を有し、該ゲート電極が空化チタン膜上にα-タンタル膜が積層された2層構造を有する本発明による半導体装置、若しくは、半導体基板上にゲート絶縁膜を介してゲート電極が配設されるMIS構造を有し、該ゲート絶縁膜が炭化珪素膜よりなり、且つ該ゲート電極がα-タンタル膜よりなる本発明による半導体装置、若しくは、半導体基板上にゲート絶縁膜を形成する工程、該ゲート絶縁膜上にβ-タンタル膜を形成する工程、該β-

10

タンタル膜のゲート電極に対応する領域に選択的に不活性物質のイオン注入を行い該領域のβ-タンタルをα-タンタルに変質せしめる工程、全面エッティング手段によりβ-タンタル膜を選択的に除去し残留するα-タンタル膜によるゲート電極を形成する工程を有する本発明による半導体装置の製造方法、若しくは、半導体基板上にゲート絶縁膜を形成する工程、該ゲート絶縁膜上に空化チタン膜を形成する工程、該空化チタン膜を選択的にエッティング除去して該ゲート絶縁膜上にゲート電極に対応する形状を有する空化チタン膜パターンを形成する工程、該空化チタン膜パターンを有するゲート絶縁膜上に該空化チタン膜パターン上が選択的にα-タンタルになり且つゲート絶縁膜上がβ-タンタルになるタンタル膜を形成する工程、全面エッティング手段により該タンタル膜のβ-タンタルの領域を選択的に除去し該空化チタン膜とα-タンタル膜が積層されたゲート電極を形成する工程を有する本発明による半導体装置の製造方法、若しくは、半導体基板上にゲート絶縁膜となる多結晶構造の空化珪素膜を成長させる工程、選択的な不活性物質のイオン注入により該炭化珪素膜のゲート電極が配設される部分を除く領域の表面部を非晶質化する工程、該炭化珪素膜上に非晶質化された領域上でβ-タンタルになり多結晶構造を有するゲート配設部においてα-タンタルになるタンタル膜を形成する工程、全面エッティング手段により該タンタル膜のβ-タンタルの領域を選択的に除去し該炭化珪素よりなるゲート絶縁膜上にα-タンタル膜よりなるゲート電極を形成する工程を有する本発明による半導体装置の製造方法、によって達成される。

【0015】

【作用】本発明に係る半導体装置においては、ゲート電極を構成する導電膜にα-タンタル(Ta)を用いる。α-Taは、高融点で化学的な耐性が高く安定なゲート材料であると同時に、その抵抗率が20μΩ・cm程度で通常のタングステンポリサイドに対して1/10程度である。従って、このα-Taをゲート電極に用いることにより、ゲートの信頼性を高めると同時に、ゲート遅延を少なくとも従来の1/10程度に低下させ、高速のMIS型半導体装置の形成が可能になる。

【0016】通常Taの薄膜は、常温真空中でのスパッタリング法によって形成されるが、この方法により絶縁膜上に形成された薄いTa膜は通常、柱状の結晶構造を持ったβ-Ta膜と呼ばれるもので、塊状の結晶構造を有するα-Taとは結晶構造を異にしている。そのため、α-Taとβ-Taとの間には、電気的及び化学的性質に大きな相違が現れる。

【0017】電気的性質においては、α-Taの抵抗率が前記のように20μΩ・cm程度の低抵抗率を有するのに対して、β-Taにおいては抵抗率を200μΩ程度にしか低下できない。

【0018】また、化学的性質においては、塩素(Cl)を

用いたプラズマエッティングにより、 $\beta$ -Taは容易にエッティングされるのに対して、 $\alpha$ -Taは極めて不活性で非常にエッティングされ難い。従って、ゲート電極となるパターン領域に選択的に $\alpha$ -Taを形成することができれば、塩素系プラズマを用いたドライエッティングにより選択的に $\beta$ -Taを除去し、 $\alpha$ -Taからなるゲート電極を形成することが可能になる。

【0019】図1は、 $\alpha$ -Ta及び $\beta$ -Taに対して、塩素とトリクロロメタン(クロロホルム)との混合ガス( $\text{Cl}_2/\text{CHCl}_3$ )を用いてアクリティピオノンエッティング(RIE)処理を行った際のエッティング速度を示した図で、縦軸はエッティング速度、横軸は上記混合ガス中に含まれる $\text{CHCl}_3$ の割合を示している。

【0020】この図から、例えば $\text{CHCl}_3$ の混合割合が0.2付近で、 $\alpha$ -Taのエッティング速度が100nm/min以下であるのに対して $\beta$ -Taのエッティング速度は1000nm/min以上の値で、10以上の大きなエッティングの選択比が得られることがわかる。

【0021】一方、 $\beta$ -Ta膜の一部に選択的に $\alpha$ -Taを形成することが可能であることは実験的に確認された。即ち、 $\beta$ -Taの結晶構造は準安定状態なので均一な $\beta$ -Ta膜は特殊な条件下におけるスパッタ手段によってのみ形成される。例えば、スパッタリングガスの純度や、スパッタ成膜に用いる真空容器の予備真空引きの真空中が良いこと、成膜される基板の表面状態が適切であること、成膜時に基板温度の上昇がないこと、成膜後に高エネルギーの付与がなされないこと等である。従って、これらの条件が満足されない場合は $\beta$ -Taにはなり得ず、成膜されたTaは $\alpha$ -Taに転移する。

【0022】以下に、実験的に確認した $\alpha$ -Taの形成される条件を述べる。

(1) 冷却された(イオン衝撃による発熱を避けた)鏡面のシリコン(Si)ウエーハ上に成膜したTaは $\beta$ -Taであるが、冷却を行わずに高電力でスパッタする等、基板温度を故意に上昇させる条件下では $\alpha$ -Taが形成される。

(2) 硬化チタン(TiN)上に普通に成膜されたTaは $\alpha$ -Taである。また、Siウエーハ上にヘテロエピタキシャル成長した多結晶状の炭化珪素(SiC)膜上に成膜したTaは $\alpha$ -Taである。一方、前記SiC膜の表面を例えばスパッタエッティングを施す等により非晶質化した面に成膜したTaは $\beta$ -Taである。

(3) 成膜した $\beta$ -Taに高エネルギーのイオン注入を施すと、 $\alpha$ -Taに転移する。

【0023】なお、 $\alpha$ -Taを形成する時、膜質の再現性が低い場合が多いが、上記(1)～(3)の方法によって形成された $\alpha$ -Taの膜質は安定である。以上の実験により確認されたTaの諸性質を有効に用いれば、 $\beta$ -Taの一部に選択的に $\alpha$ -Taを成長させたり、或いは $\beta$ -Taの一部を選択的に $\alpha$ -Taに転移させることが可

能になる。

【0024】本発明においては上記Taの性質を活用し、例えばゲート酸化膜上にゲート電極に対応する一部領域が選択的に $\alpha$ -Taになっており他の領域は $\beta$ -TaからなるTa膜を形成し、次いで前記塩素系のガスによるRIE処理における $\alpha$ -Taに対する $\beta$ -Taの大きなエッティングの選択性を利用して上記Ta膜中の $\beta$ -Taの部分を選択的にエッティング除去し、残留する $\alpha$ -Taの部分によってゲート電極を形成するものである。

【0025】以上のように本発明の方法においては、ゲート電極のバーニングがエッティングマスクを介しての選択エッティングによってなされるのではなく、ゲート電極材料のTa膜の $\alpha$ 構造と $\beta$ 構造との高いエッティングの選択性によってなされるので、パターンの転写精度が高まり且つサイドエッティングによるパターン変形も防止されて高精度で微細なゲート電極パターンの形成が可能になる。

【0026】また、抵抗率が極めて低い $\alpha$ -Taによりゲート電極が構成されるので、ゲート電極の配線抵抗が減少し、MIS型半導体装置の高速化が図れる。

【0027】

【実施例】以下本発明を、図示実施例により具体的に説明する。図1は本発明の第1の実施例の工程断面図、図2は本発明の第2の実施例の工程断面図、図3は本発明の第3の実施例の工程断面図である。全図を通じ同一対象物は同一符号で示す。

【0028】図1に示す本発明の第1の実施例は、例えば酸化シリコン( $\text{SiO}_2$ )からなるゲート絶縁膜上に $\alpha$ -Taからなるゲート電極が配設される請求項1及び請求項4(7、8を含む)に対応する実施例である。

【0029】図1(a) 参照

通常の方法に従って例えばp型Si基板1上に素子領域2を分離固定するフィールド酸化膜3を形成し、次いで素子領域2上に厚さ10nm前後のゲート $\text{SiO}_2$ 膜4を形成する。

【0030】図1(b) 参照

次いで上記基板上に、スパッタリング法により $\beta$ -Taの形成される条件で厚さ100nm程度のTa膜5を成膜した。スパッタリングの条件は次の通りである。

40 【0031】ターゲット 高純度Ta

スパッタリングガス アルゴン( $\text{Ar}$ )

成膜室内的ガス圧 20mTorr

スパッタ電力(DC) 1 kW

基板温度 < 70 °C

上記条件で、均一な $\beta$ -Ta膜5が形成される。なお、上記スパッタリングに際しての基板1の温度は最高でも70°Cであった。従ってTa膜5の温度上昇による局部的な $\alpha$ -Taへの転移は発生せず、形成される $\beta$ -Ta膜5は均一な結晶構造を有する。

50 【0032】図1(c) 参照

次いで上記 $\beta$ -Ta膜5 $\beta$ における形成しようとするゲート電極に対応する領域に、例えば走査手段により選択的に $\text{Ar}$ 原子のイオン注入を行い、このイオン注入を行った領域の $\beta$ -Ta膜5 $\beta$ を選択的に $\alpha$ -Ta膜5 $\alpha$ に転移せしめた。

【0033】この $\alpha$ -Ta膜5 $\alpha$ への転移はTa膜の底面まで完全になされることが望ましく、約100nm程度の膜厚を有する本実施例においては、 $\text{Ar}$ のイオン注入を加速電圧200kV、イオン電流 $400\mu\text{A}$ 以上の条件で、 $10^{16}\text{ions/cm}^2$ のドーズ量で行った。なおこのイオン注入に際し、イオン注入のなされている領域のTa膜はイオン注入のエネルギーによって選択的に170°C以上に昇温するので、このイオン注入領域での $\beta$ -Taから $\alpha$ -Taへの転移は、イオンの衝撃エネルギーと上記昇温によって推進される。

【0034】なおここで、イオン注入の方法は、上記注入条件が充たされ且つ高パターン精度で注入が可能な方法ならば如何なる方法でもよく、現在実用されている装置としては、収束イオンビーム装置、イオンプロジェクション露光装置等がある。また注入マスクを用い通常のイオン注入装置によってゲート電極領域へ選択的にイオン注入を行ってもよい。

#### 【0035】図1(d) 参照

次いで、前述した $\text{CHCl}_3$ の混合割合0.2程度の $[\text{Cl}_2/\text{CHCl}_3]$ 混合ガスをエッティングガスとするRIE処理( $\alpha$ -Taに対する $\beta$ -Taのエッティングの選択比10以上)により前記Ta膜5の全面エッティングを行い、 $\beta$ -Taの領域(5 $\beta$ )を選択的にエッティング除去し、ゲートSiO<sub>2</sub>膜4上に $\alpha$ -Ta(5 $\alpha$ )からなるゲート電極5Gを残留形成させる。上記RIE処理における条件は、例えば次の通りである。

#### 【0036】

##### エッティングガス

$\text{Cl}_2$  160 sccm

$\text{CHCl}_3$  49 sccm

エッティングガス圧 200 mTorr

エッティング温度 50°C

エッティング電力(RF) 0.8 W/cm<sup>2</sup>

#### 図1(e) 参照

次いで、上記 $\alpha$ -Taゲート電極5Gをマスクにし素子領域2に例えば砒素(As)をイオン注入し $n^+$ 型のソース領域6S及びドレイン領域6Dを形成し、本発明の請求項1及び1(7、8を含む)に係るMOS型半導体装置が完成する。

【0037】図2に示す本発明の第2の実施例は、空化チタン(TiN)と $\alpha$ -Taの2層構造のゲート電極を有する請求項2及び請求項5(7、8を含む)に対応する実施例である。

#### 【0038】図2(a) 参照

前記実施例同様に、例えばp型Si基板1の表面に素子領域2を固定分離するフィールド酸化膜3を形成し、次いで素子領域2上に厚さ10nm前後のゲート酸化膜を形成した後、この基板上にスパッタリング法により拡散パリアとなる高融点金属Si<sub>3</sub>N<sub>4</sub>膜、例えば厚さ50nm程度のTiN膜7を形成する。成膜条件は例えば次の通りである。

【0039】ターゲット TiN  
スパッタリングガス Ar  
成膜室内的ガス圧 10mTorr  
スパッタ電力(DC) 1 kW

#### 図2(b) 参照

次いで、通常のフォトリソグラフィを用い上記TiN膜7上にゲート電極に対応するパターン形状を有するレジストパターン8を形成する。

#### 【0040】図2(c) 参照

次いで、上記レジストパターン8をマスクにし例えば3沸化窒素(NF<sub>3</sub>)をエッティングガスを用いるRIE処理によりTiN膜7を底部までエッティングし、上記素子領域2のゲートSiO<sub>2</sub>膜4上にゲート電極に対応するパターン形状を有するTiN電極パターン7Gを形成し、次いで上記レジストパターン8を0:アシング等の方法により除去する。

#### 【0041】図2(d) 参照

次いで、この基板上に、前記 $\beta$ -Taが形成される条件を満足し、且つ下記のスパッタ成膜条件によって厚さ100nm程度のTa膜を成膜する。

【0042】スパッタ成膜の条件は例えば次の通りである。

ターゲット Ta  
スパッタリングガス Ar  
成膜室内的ガス圧 20 mTorr  
スパッタ電力(DC) 1 kW  
基板温度 < 70°C

この条件で形成されたTa膜5は、TiN電極パターン7G上が $\alpha$ -Ta(5 $\alpha$ )に転移し、そのゲート酸化膜4上が $\beta$ -Ta(5 $\beta$ )からなる膜となる。

#### 【0043】図2(e) 参照

次いで前記実施例同様の例えば $\text{CHCl}_3$ の混合割合0.2程度の $[\text{Cl}_2/\text{CHCl}_3]$ 混合ガスをエッティングガスとするRIE処理( $\alpha$ -Taに対する $\beta$ -Taのエッティングの選択比10以上)により前記Ta膜5の全面エッティングを行い、 $\beta$ -Taの領域(5 $\beta$ )を選択的にエッティング除去し、TiN電極パターン7G上に $\alpha$ -Ta(5 $\alpha$ )が積層されたゲート電極9を形成する。そして、その後該ゲート電極9をマスクにし素子領域2に例えば砒素(As)をイオン注入し $n^+$ 型のソース領域6S及びドレイン領域6Dを形成し、本発明の請求項2及び請求項5(7、8を含む)に係るMOS型半導体装置が完成する。

【0044】図3に示す本発明の第3の実施例は、ゲート絶縁膜にSiCを用いる請求項3及び請求項6(7、8を含む)に対応する実施例である。

## 図3(a) 参照

上記構造のMOS型半導体装置を形成するに際しては、例えばp型Si基板1の表面に素子領域2を固定分離するフィールド酸化膜3を形成した後、この基板上に、Si上でヘテロエピタキシャル成長が行われる条件で厚さ10nm程度のゲート絶縁膜となるSiC膜10を成膜した。成膜条件は例えば下記の通りである。

## 【0045】

## 成長ガス

ジクロロシラン(SiH <sub>2</sub> Cl <sub>2</sub> )	700 sccm
プロパン(C <sub>3</sub> H <sub>8</sub> )	30 sccm
水素(H <sub>2</sub> )	7 sccm
成長ガス圧	300 mTorr
成長温度(基板温度)	1000 °C

この成長でSi面が表出している素子領域2上にはヘテロエピタキシャル成長により多結晶SiC膜10Pが成長し、フィールド酸化膜3上には非晶質SiC膜10Aが成長する。

## 【0046】図3(b) 参照

次いで、通常のフォトリソグラフィ技術を用い上記SiC膜10のゲート電極を形成する領域11上にゲート電極のパターン形状を有するレジストパターン12を形成し、次いでこのレジストパターン12をマスクにし、Arガスによるスパッタエッティングにより、ゲート電極形成領域以外のSiC膜10の表面部を選択的に僅かにエッティングする。エッティング条件は例えば次の通りである。

## 【0047】エッティングガス

Ar

エッティングガス圧	200 mTorr
エッティング電力(RF)	0.8 W/cm <sup>2</sup>

このスパッタエッティングにより、素子領域2上の多結晶SiC膜10Pのレジストパターン12でマスクされていない領域の表面部は選択的に非晶質化される。10AAは前記スパッタエッティングにより新たに非晶質化された領域を示す。

## 【0048】図3(c) 参照

次いでレジストパターン12をO<sub>2</sub>アッシング手段等で除去した後、SiC膜10上に、前記した $\beta$ -Taを形成する条件(図1(b)の項参照)でのスパッタリングにより厚さ100nm程度のTa膜5を形成する。なおここで、SiC膜10の表面部まで多結晶SiC膜10Pの状態を維持しているゲート形成領域11上には $\alpha$ -Ta膜5 $\alpha$ が堆積され、また該SiC膜10の表面が非晶質化されている領域10AA及び非晶質状態で成長した領域10A上には $\beta$ -Ta膜5 $\beta$ が堆積される。

## 【0049】図3(d) 参照

次いで、前記実施例同様の例えばCHCl<sub>3</sub>の混合割合0.2程度の[Cl<sub>2</sub>/CHCl<sub>3</sub>]混合ガスをエッティングガスとするRIE処理( $\alpha$ -Taに対する $\beta$ -Taのエッティングの選

択比10以上)により前記Ta膜5の全面エッティングを行い、 $\beta$ -Taの領域(5 $\beta$ )を選択的にエッティング除去し、ゲート絶縁膜であるSiC膜10の表面部まで多結晶状態を維持している領域10P上に $\alpha$ -Ta膜(5 $\alpha$ )からなるTaゲート電極10Gを残留形成せしめる。

【0050】その後、フィールド酸化膜3及び上記 $\alpha$ -Ta膜(5 $\alpha$ )からなるゲート電極10GマスクにしSiC膜10(表面部に非晶質化領域10AAを有する領域)を通してSi基板1内に例えば砒素(As)をイオン注入し $n^+$ 型のソース領域6S及びドレイン領域6Dを形成し、本発明の請求項3及び請求項6(7, 8を含む)に係るMOS型半導体装置が完成する。

【0051】以上第1~第3の実施例に示したように、本発明によれば抵抗率が極めて低い $\alpha$ -Taにより配線抵抗の小さいゲート電極を形成することが容易に可能になると共に、ゲート電極のバーニングがエッティングマスクを介しての選択エッティングによってなされるのではなく、ゲート電極材料のTa膜の $\alpha$ 構造と $\beta$ 構造との高いエッティングの選択性によってなされるので、パターンの転写精度が高まり且つサイドエッティングによるパターン変形も防止されて高精度で微細なゲート電極パターンの形成が可能になる。

## 【0052】

【発明の効果】以上説明したように本発明によれば、抵抗率の極めて低い $\alpha$ -Taを用いて高精度で微細なゲート電極を形成することが可能になる。

【0053】従って本発明は、高集積化により配線幅の極度に縮小される超LSI等の動作速度の向上及び特性の均一化に寄与するところが大きい。

## 【図面の簡単な説明】

【図1】 本発明の第1の実施例の工程断面図

【図2】 本発明の第2の実施例の工程断面図

【図3】 本発明の第3の実施例の工程断面図

【図4】  $\alpha$ -Taと $\beta$ -TaのCl<sub>2</sub>/CHCl<sub>3</sub>プラズマに対するエッティング速度

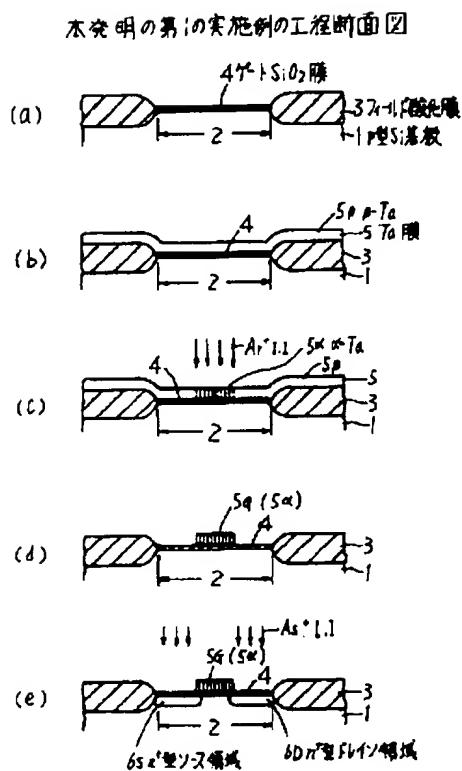
【図5】 従来のMOS型半導体装置の模式断面図

【図6】 従来のMOSFETの製造工程断面図

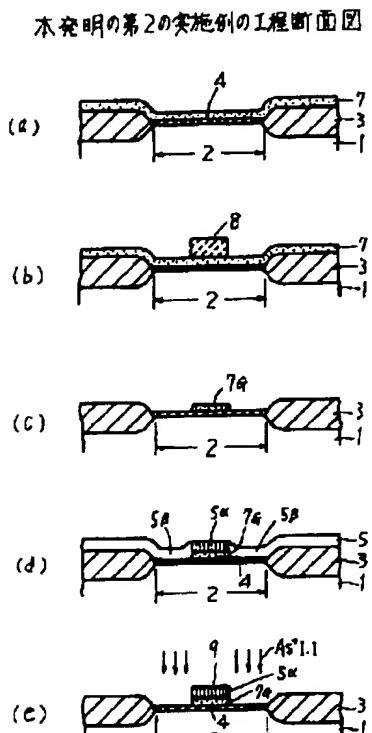
## 【符号の説明】

- 1 p型Si基板
- 2 素子領域
- 3 フィールド酸化膜
- 4 ゲートSiO<sub>2</sub>膜
- 5 Ta膜
- 5 $\alpha$   $\alpha$ -Ta膜
- 5 $\beta$   $\beta$ -Ta膜
- 5G  $\alpha$ -Taゲート電極
- 6S  $n^+$ 型ソース領域
- 6D  $n^+$ 型ドレイン領域

【図1】

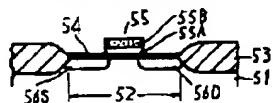


【図2】

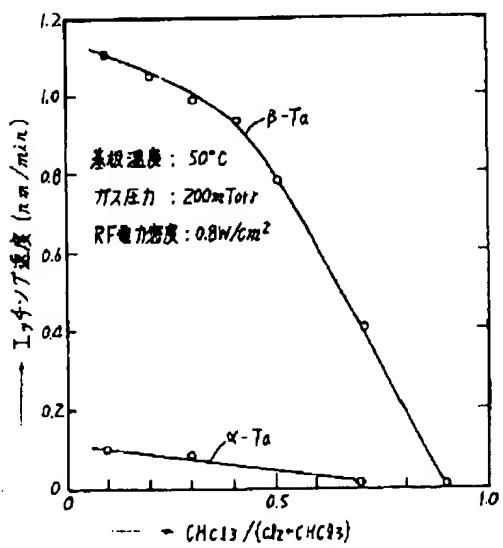


【図3】

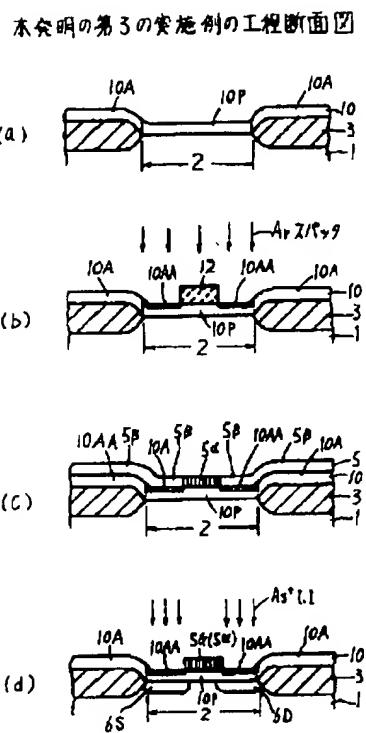
従来のMOS型半導体装置の模式断面図



【図4】

α-Taとβ-TaのCl<sub>2</sub>/CHCl<sub>3</sub>アラブに対するレーティング速度

【図3】



【図6】

